

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-307097

(43)Date of publication of application : 28.11.1997

(51)Int.Cl.

H01L 29/43  
H01L 21/28  
H01L 21/338  
H01L 29/812

(21)Application number : 08-146563

(71)Applicant : SONY CORP

(22)Date of filing : 16.05.1996

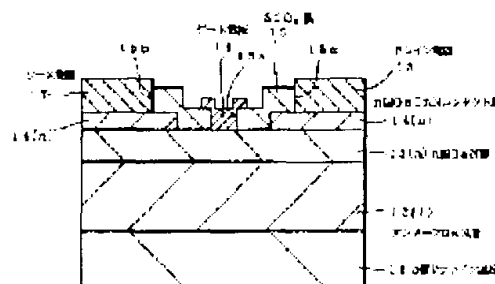
(72)Inventor : KAWAI HIROHARU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively bring electrodes into contact with a GaN layer with low contact resistance.

SOLUTION: In a GaN MESFET, the source electrode 17 and the drain electrode 18 are provided on an n-type GaN layer 13 as a channel layer through an n-type GaInN contact layer 14, and it is brought into ohmic-contact with the n-type GaInN contact layer 14. The n-type GaInN contact layer 14 is selectively grown on the n-type GaN layer 13 by means of a MOCVD method.



see fig. 8  
100513 to 100573

## LEGAL STATUS

[Date of request for examination]

23.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention is applied to the semiconductor device using GaN about a semiconductor device, and is suitable.

[0002]

[Description of the Prior Art] It is thought that the forbidden-band width of face of GaN is as large as 3.4eV, and a indirect transition conduction band is in the place of 1.5eV or more the top further. Moreover, the saturation velocity of GaN is larger than Si, GaAs, and SiC at abbreviation  $2.5 \times 10^7$  cm/s. it is abbreviation  $5 \times 10^6$  V/cm and they are [ destructive electric field are larger than Si and GaAs 1 or more figures and ] larger than SiC. For such a reason, it has been expected that GaN has a RF, an elevated temperature, and the big possibility as a material of a large power semiconductor device. And the example of a trial production has also come (for example, Appl.Phys.Lett., 62 (15), 1786 (1993) and Appl.Phys.Lett., 65 (9), 1121 (1994)) to be seen in recent years.

[0003] Drawing 10 and drawing 11 show the conventional GaN transistor. These GaN transistors are field-effect transistors (FET) which applied the MES (Metal-Semiconductor) structure where it was used in the GaAs transistor, as it was.

[0004] In the conventional GaN transistor shown in drawing 10, the laminating of the undoping GaN layer 102 and the n type GaN layer 103 as a channel layer is carried out one by one on c-th page silicon on sapphire 101, and the gate electrode 104, the source electrode 105, and the drain electrode 106 are formed on the n type GaN layer 103. Here, the gate electrode 104 carries out Schottky contact with the n type GaN layer 103, and the source electrode 105 and the drain electrode 106 are carrying out ohmic contact with the n type GaN layer 103.

[0005] In the conventional GaN transistor shown in drawing 11, the laminating of the n type AlGaIn layer 203 as the n type GaN layer 202 and electronic supply layer as a channel layer is carried out one by one on c-th page silicon on sapphire 201. Patterning of the n type AlGaIn layer 203 is carried out to the predetermined configuration. And while the gate electrode 204 is formed on this n type AlGaIn layer 203, the source electrode 205 and the drain electrode 206 are formed on the n type GaN layer 202 so that the both-sides wall of this n type AlGaIn layer 203 may be contacted, respectively. Here, the gate electrode 204 carries out Schottky contact with the n type AlGaIn layer 203, and the source electrode 205 and the drain electrode 206 are carrying out ohmic contact with the n type GaN layer 202 and the n type AlGaIn layer 203. Although this GaN transistor has the so-called HEMT (High Electron Mobility Transistor, HEMT) and so-called analogous structure, using the n type AlGaIn layer 202 which is a doped layer for the channel layer differs from the usual HEMT.

[0006] By the way, in the usual GaAs transistor, in order to raise the ohmic contact nature of a source electrode and a drain electrode, the ion-implantation and the activation annealing method of Si are used, and the carrier concentration of a source field and a drain field is raised to three or more [  $2 \times 10^{18} \text{cm}^{-3}$  ]. Thereby, the contact resistance of a source electrode and a drain electrode is  $10^{-5} - 10^{-6} \text{ohmcm}^2$ . It becomes low with a base and a practical high-frequency transistor can be obtained.

[0007]

[Problem(s) to be Solved by the Invention] Also in a GaN transistor, if high concentration impurity doping by ion-implantation is made like a GaAs transistor, the feature of GaN mentioned above will be demonstrated and it will be thought that high performance, high speed, and a large power element are realized. However, when an impurity is doped to GaN with ion-implantation, it is reported that a high-concentration carrier is hard to be generated (for example, Appl.Phys.Lett., 67 (10), 1435 (1995)). moreover, thermal alloying with the metal which an alloy reaction produces easily between metals like GaAs system material also in GaN and by which impurity doping was carried out when becoming -- low -- although ohmic contact [ \*\*\*\* ] should be obtained, the present condition is that thermal alloying with GaN is not yet realized

[0008] By the above thing, the performance of element [ contact resistance / comparatively big / of a source electrode and a drain electrode ] original using GaN was not able to be demonstrated.

[0009] Therefore, the purpose of this invention is to offer the semiconductor device which can make contact resistance of the electrode low enough, when carrying out ohmic contact of the electrode on a GaN layer.

[0010]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, in the semiconductor device which has the electrode electrically connected with the GaN layer and the GaN layer on a GaN layer, the semiconductor layer which contains Ga, In, and N at least between a GaN layer and an electrode is prepared, and this invention is characterized by the electrode carrying out ohmic contact at a semiconductor layer.

[0011] In this invention, a GaN layer and a semiconductor layer are n types each typically. Here, the carrier concentration of an n type GaN layer is  $x(1-5)10^{17} \text{cm}^{-3}$ . Moreover, when some examples of a semiconductor layer are given, they are a GaInN layer, an AlGaInN layer, a BGaInN layer, etc. This semiconductor layer grows alternatively on a GaN layer typically.

[0012] Typically in this invention, an electrode is the source electrode or drain electrode of a field-effect transistor.

[0013] In the semiconductor device by this invention constituted as mentioned above The forbidden-band width of face of the semiconductor layer which is prepared between the GaN layer and the electrode and which contains Ga, In, and N at least is compared with the forbidden-band width of face of GaN. by the thing small (for example, the forbidden-band width of face of InN is 1.9eV at the lowest) enough etc. While this semiconductor layer can make carrier concentration high enough, surface level is in the place near [ GaN ] a conduction band. In fact, as for GaInN, a certain thing is reported also for three or more [  $2 \times 10^{19} \text{cm}^{-3}$  ] high carrier concentration being obtained also for undoping (Appl.Phys.Lett., 59 (18), 2251 (1991)).

[0014] The ohmic contact of low contact resistance of an electrode to a GaN layer is realizable in efficiency from the above thing with the tunnel current which led the low Schottky barrier through the semiconductor layer which contains Ga, In, and N at least.

[0015]

[Embodiments of the Invention] Hereafter, it explains, referring to a drawing about the operation form of this invention.

[0016] In the following operation forms, although the structure which carried out the laminating of the layer which consists of nitride system III-V group compound semiconductors, such as GaN, AlGaIn, and GaInN, on c-th page silicon on sapphire is used, the common practice into which these nitride system III-V group compound semiconductors are grown up by the organic metalization study vapor-growth (MOCVD) method is explained first.

[0017] If it considers as the material gas in the case of growth of this nitride system III-V group compound semiconductor, a silane ( $\text{SiH}_4$ ) is used as dopant gas of ammonia ( $\text{NH}_3$ ) and n type impurity as trimethylindium ( $\text{TMIIn}$ ) and an N raw material as a trimethylaluminum (TMA) and an In raw material as trimethylgallium (TMG) and an aluminum raw material as a Ga raw material. And  $\text{NH}_3$  after first growing up the buffer layer which consists of AlN or GaN at low temperature on c-th page silicon

on sapphire as known well Growth temperature is raised before and after 1000 degrees C, passing gas, and GaN, AlGaIn, etc. are grown up on a buffer layer. Here, when growing up the nitride system III-V group compound semiconductor containing In(s), such as GaInN, growth temperature is lowered to 700-800 degrees C, and it is also known well that a controlled atmosphere will consider as nitrogen (N<sub>2</sub>). [0018] Next, the measurement result of the contact resistance of an Ti/aluminum electrode to an n type GaN layer is explained.

[0019] It is the cross section with which drawing 1 meets the plan of this contact resistance test sample, and drawing 2 meets the II-II line of drawing 1.

[0020] As shown in drawing 1 and drawing 2, in this contact resistance test sample, the laminating of the n type GaN layer 2 is carried out through the buffer layer (not shown) by the low-temperature growth which consists of AlN or GaN on c-th page silicon on sapphire 1, and the Ti/aluminum electrode 3 is formed on this n type GaN layer 2. Here, the thickness of the n type GaN layer 2 is 3 micrometers, and carrier concentration (concentration of electrons) is  $10^{18}\text{cm}^{-3}$ . Moreover, the Ti/aluminum electrode 3 has the structure where 1st circular polar-zone 3a is enclosed by 2nd polar-zone 3b with the predetermined interval. Here, the diameter of 1st polar-zone 3a was set to 200 micrometers, and the interval of 1st polar-zone 3a and 2nd polar-zone 3b was changed from 1 micrometer to four levels within the limits of 10 micrometers.

[0021] In addition, the contact resistance test sample of such structure was used because it was desirable to use the structure where it is not necessary to remove any portions other than a test section-ed, since GaN was difficult wet etching.

[0022] This contact resistance test sample was produced as follows. That is, after growing up the n type GaN layer 2 through the buffer layer (not shown) which consists of AlN or GaN on c-th page silicon on sapphire 1, the Ti/aluminum electrode 3 is formed by the usual lift-off method on the n type GaN layer 2.

[0023] the place which measured the contact resistance of the Ti/aluminum electrode 3 immediately after production of this contact resistance test sample (as-depo state) --  $0.5\text{-ohmcm}^2$  it was. moreover, this contact resistance test sample -- N<sub>2</sub> the place which measured contact resistance after heat-treating on 800 degrees C and the conditions for 10 seconds in gas atmosphere --  $1.5 \times 10^{-5}\text{ohmcm}^2$  up to -- it fell

[0024] Next, after producing the contact resistance test sample which has the same structure as \*\*\*\* except for the carrier concentration of the n type GaN layer 2 being  $10^{17}\text{cm}^{-3}$  and performing the same heat treatment as \*\*\*\*, when the contact resistance of the Ti/aluminum electrode 3 was measured, it was  $1.5 \times 10^{-4}\text{ohmcm}^2$ . Generally, although the carrier concentration of the channel layer of FET is  $x(1-5) \times 10^{17}\text{cm}^{-3}$ , at the time of carrier concentration of this level, the contact resistance of the Ti/aluminum electrode 3 is  $10^{-4}\text{ohmcm}^2$  as mentioned above. A base and since it is large, the performance of FET using this Ti/aluminum electrode 3 as a source electrode and a drain electrode falls.

[0025] In addition, the contact resistance of the Ti/aluminum electrode 3 does not become small with heat treatment as mentioned above, because alloying with the Ti/aluminum electrode 3 and the n type GaN layer 2 is progressing, and it is because the insulating layer or space layer between the Ti/aluminum electrode 3 and the n type GaN layer 2 was lost with heat treatment and the original Schottky barrier arose.

[0026] Next, the measurement result of the contact resistance of an Ti/aluminum electrode to an undoping GaInN layer is explained.

[0027] Although it is the same if the plan of this contact resistance test sample is shown in drawing 1, the cross section which meets the II-II line of drawing 1 is shown in drawing 3.

[0028] As shown in drawing 1 and drawing 3, in this contact resistance test sample, the laminating of the undoping GaN layer 4 and the undoping GaInN layer 5 is carried out one by one through the buffer layer (not shown) by the low-temperature growth which consists of AlN or GaN on c-th page silicon on sapphire 1, and the Ti/aluminum electrode 3 is formed on the undoping GaInN layer 5. Here, the thickness of the undoping GaN layer 4 is 2 micrometers. Moreover, the thickness of the undoping GaInN layer 5 is 0.3 micrometers. Although this undoping GaInN layer 5 was undoping, carrier

concentration was abbreviation  $2 \times 10^{17} \text{cm}^{-3}$ . Moreover, In composition ratio of this undoping GaInN layer 5 was 0.13 as a result of measurement by the X diffraction. The structure of the Ti/aluminum electrode 3 is the same as that of above-mentioned contact resistance test sample.

[0029] This contact resistance test sample was produced as follows. That is, after growing up the undoping GaN layer 4 and the undoping GaInN layer 5 one by one through the buffer layer (not shown) which consists of AlN or GaN on c-th page silicon on sapphire 1, the Ti/aluminum electrode 3 is formed by the usual lift-off method on the undoping GaInN layer 5.

[0030] the place which measured the contact resistance of the Ti/aluminum electrode 3 immediately after production of this contact resistance test sample --  $0.2\text{-ohmcm}^2$  although it was high -- this contact resistance test sample -- N2 the place which measured contact resistance after heat-treating on 800 degrees C and the conditions for 10 seconds in gas atmosphere --  $2 \times 10^{-5} \text{ohmcm}^2$  up to -- it fell This shows that small contact resistance is obtained, although the carrier concentration of the undoping GaInN layer 5 is as low as abbreviation  $2 \times 10^{17} \text{cm}^{-3}$  as mentioned above. Compared with GaN, the Schottky barrier becomes low, and the undoping GaInN layer 5 by which this replaced Ga of GaN in part by In is considered for current to become easy to flow. Supposing the fall of this contact resistance is based on the fall of the Schottky barrier, the fall of the further contact resistance is expected by the increase in In composition ratio.

[0031] Next, GaN by the 1st operation gestalt of this invention MESFET is explained. Drawing 4 is GaN by this 1st operation gestalt. MESFET is shown and drawing 5 is this GaN. The energy-band view of MESFET is shown. in addition, drawing 5 -- setting -- EF -- Fermi level and  $E_c$  The energy of the soffit of a conduction band, and  $E_v$  The energy of the summit of a valence band is shown (the following -- the same).

[0032] GaN according to this 1st operation gestalt as shown in drawing 4 In MESFET, the laminating of the undoping GaN layer 12 and the n type GaN layer 13 as a channel layer is carried out one by one through the buffer layer (not shown) by the low-temperature growth which consists of AlN or GaN on c-th page silicon on sapphire 11. The thickness of the undoping GaN layer 12 is 2 micrometers. Moreover, the thickness of the n type GaN layer 13 is 160nm, and carrier concentration is  $4 \times 10^{17} \text{cm}^{-3}$ . On the source electrode and the n type GaN layer 13 in the drain electrode formation section, the Si dope n type GaInN contact layer 14 of a predetermined configuration contacts the n type GaN layer 13, and is prepared, respectively. The thickness of this n type GaInN contact layer 14 is [ 0.13 and the carrier concentration of 200nm and In composition ratio ]  $3 \times 10^{18} \text{cm}^{-3}$ . It is  $\text{SiO}_2$  so that the n type GaN layers 13 in the channel section between these n type GaInN contact layers 14 and these n type GaInN contact layers 14 may be covered. The film 15 is formed. This  $\text{SiO}_2$  The thickness of a film 15 is 200nm.  $\text{SiO}_2$  in the portion between these n type GaInN contact layers 14 Opening 15a is prepared in a film 15, and through this opening 15a, on the n type GaN layer 13, the gate electrode 16 of Ti/W structure carries out Schottky contact with this n type GaN layer 13, and is prepared. Moreover,  $\text{SiO}_2$  in the portion of the n type GaInN contact layer 14 top Openings 15b and 15c are formed in a film 15, respectively, and through these openings 15b and 15c, on the n type GaInN contact layer 14, the source electrode 17 and the drain electrode 18 of Ti/aluminum structure carry out ohmic contact with the n type GaInN contact layer 14, and are prepared, respectively.

[0033] Next, GaN by this 1st operation form constituted as mentioned above The manufacture method of MESFET is explained.

[0034] As shown in drawing 4, the undoping GaN layer 12 and the n type GaN layer 13 are first grown up one by one through the buffer layer which consists of AlN or GaN on c-th page silicon on sapphire 11.

[0035] Next, it is  $\text{SiO}_2$  to the whole surface of the n type GaN layer 13 by CVD. It is this  $\text{SiO}_2$  by the lithography after forming a film (not shown), and etching. Patterning of the film is carried out and it is this  $\text{SiO}_2$  only on the channel section. It leaves a film.

[0036] Next,  $\text{SiO}_2$  by which patterning was carried out by doing in this way A film is used as a growth mask and it is this  $\text{SiO}_2$ . The n type GaInN contact layer 14 is alternatively grown up on the n type GaN layer 13 of the portion which is not covered with a film.

[0037] Next, this SiO<sub>2</sub> It is SiO<sub>2</sub> to the whole surface again by the CVD after carrying out etching removal of the film. It is this SiO<sub>2</sub> by the lithography after forming a film 15, and etching. Patterning of the film 15 is carried out and Openings 15b and 15c are formed. Next, where the resist pattern used for this patterning is left as it was, after forming for example, an Ti/aluminum film in the whole surface by the vacuum deposition method, a resist pattern is removed with the Ti/aluminum film formed on it (lift off). Of this, the source electrode 17 and the drain electrode 18 are formed on the n type GaInN contact layer 14. Then, in order to make low contact resistance of the source electrode 17 and the drain electrode 18, it heat-treats on 800 degrees C and the conditions for 10 seconds.

[0038] Next, although illustration is omitted, it performs isolation if needed by performing the ion implantation of helium into portions other than this FET section.

[0039] Next, it is SiO<sub>2</sub> on the channel section by lithography and etching. Opening 15a is formed in a film 15. Next, after forming a Ti/W film in the whole surface, patterning of this Ti/W film is carried out by lithography and etching, and the gate electrode 16 which carried out Schottky contact is formed in the n type GaN layer 13 through opening 15a.

[0040] GaN made into the purpose by the above MESFET is manufactured

[0041] As mentioned above, according to this 1st operation form, contact resistance of the source electrode 17 and the drain electrode 18 can be made low enough by forming the source electrode 17 and the drain electrode 18 on the n type GaN layer 13 through the n type GaInN contact layer 14. By this, the feature of the n type GaN layer 13 used as a channel layer can fully be demonstrated, and it is GaN of high performance, high speed, and large power. MESFET is realizable.

[0042] Next, AlGaIn/GaN by the 2nd operation form of this invention HEMT is explained. Drawing 6 is AlGaIn/GaN by this 2nd operation form. HEMT is shown and drawing 7 is this AlGaIn/GaN. It is the energy-band view of HEMT. In addition, GaN by the 1st operation form shown in drawing 4 in drawing 6 The sign same into a corresponding portion identically to MESFET is attached.

[0043] AlGaIn/GaN according to this 2nd operation form as shown in drawing 6 In HEMT, the laminating of the undoping GaN layer 12 as a channel layer is carried out through the buffer layer (not shown) by the low-temperature growth which consists of AlN or GaN on c-th page silicon on sapphire 11. On this undoping GaN layer 12 in the channel section, the laminating of the n type AlGaIn layer 19 and the undoping AlGaIn layer 20 as an electronic supply layer is carried out one by one. The thickness of the undoping GaN layer 12 is 3 micrometers. The thickness of the n type AlGaIn layer 19 is [ 0.2 and the carrier concentration of 10nm and aluminum composition ratio ]  $10^{18}\text{cm}^{-3}$ . Moreover, 40nm and aluminum composition ratio of the thickness of the undoping AlGaIn layer 20 are 0.2. On the source electrode and the undoping GaN layer 12 in the drain electrode formation section, the n type GaInN contact layer 14 of a predetermined configuration contacts the both-sides wall of the n type AlGaIn layer 19 and the undoping AlGaIn layer 20, respectively, and is prepared. In the 1st operation form, the thickness of this n type GaInN contact layer 14 is [ 0.13 and the carrier concentration of 200nm and In composition ratio ]  $3 \times 10^{18}\text{cm}^{-3}$  similarly. Other things are GaN by the 1st operation form. Since it is the same as that of MESFET, explanation is omitted.

[0044] Next, the manufacture method of AlGaIn/GaNHEMT by this 2nd operation form constituted as mentioned above is explained.

[0045] As shown in drawing 6 , the undoping GaN layer 12, the n type AlGaIn layer 19, and the undoping AlGaIn layer 20 are first grown up one by one through the buffer layer which consists of AlN or GaN on c-th page silicon on sapphire 11.

[0046] Next, it is SiO<sub>2</sub> to the whole surface of the undoping AlGaIn layer 20 by CVD. It is this SiO<sub>2</sub> by the lithography after forming a film (not shown), and etching. Patterning of the film is carried out and it is this SiO<sub>2</sub> only on the channel section. It leaves a film. This SiO<sub>2</sub> Membranous thickness is 500nm.

[0047] Next, SiO<sub>2</sub> by which patterning was carried out by doing in this way The undoping AlGaIn layer 20 and the n type AlGaIn layer 19 are \*\*\*\*\*ed by the gas-phase-etching method, using a film as an etching mask. This etching is performed until the undoping GaN layer 12 is exposed at least.

[0048] Next, this SiO<sub>2</sub> A film is used as a growth mask and it is this SiO<sub>2</sub>. The n type GaInN contact layer 14 is alternatively grown up on the n type GaN layer 12 of the portion which is not covered with a

film.

[0049] A next process is GaN by the 1st operation form. Since it is the same as that of MESFET, explanation is omitted. AlGa<sub>N</sub>/GaN made into the purpose by the above HEMT is manufactured.

[0050] According to this 2nd operation form, it is AlGa<sub>N</sub>/GaN of high performance and high speed with the contact resistance of the source electrode 17 and the drain electrode 18 low enough, and large power. HEMT is realizable.

[0051] Next, AlGa<sub>N</sub>/GaInN by the 3rd operation form of this invention HEMT is explained. Drawing 8 is AlGa<sub>N</sub>/GaInN by the 3rd operation form of this invention. The cross section and drawing 9 which show HEMT are AlGa<sub>N</sub>/GaInN by this 3rd operation form. It is the energy-band view of HEMT.

[0052] AlGa<sub>N</sub>/GaInN according to this 3rd operation form as shown in drawing 8 In HEMT, the undoping GaInN layer 21 is formed between the undoping GaN layer 12 and the n type AlGa<sub>N</sub> layer 19. In this case, this undoping GaInN layer 21 is used as a channel layer. The thickness of this undoping GaInN layer 21 is 15nm. Other things are AlGa<sub>N</sub>/GaN by the 2nd operation form. Since it is the same as that of HEMT, explanation is omitted.

[0053] AlGa<sub>N</sub>/GaInN by this 3rd operation form The manufacture method of HEMT is AlGa<sub>N</sub>/GaN by the 2nd operation form. Since it is the same as that of the manufacture method of HEMT, explanation is omitted.

[0054] It is AlGa<sub>N</sub>/GaN by the 2nd operation form since the mobility of GaInN is larger than the mobility of GaN according to this 3rd operation form. It compares with HEMT and is still more nearly high-speed highly efficient AlGa<sub>N</sub>/GaInN. HEMT is realizable.

[0055] As mentioned above, although the operation form of this invention was explained concretely, this invention is not limited to an above-mentioned operation form, and various kinds of deformation based on the technical thought of this invention is possible for it.

[0056] For example, it may not pass over the numeric value mentioned in the above-mentioned operation form for an example to the last, but a numeric value different if needed from this may be used. Specifically, in the 1st above-mentioned operation form, although thickness of the n type GaInN contact layer 14 is set to 200nm, the thickness of this n type GaInN contact layer 14 may be smaller than this, for example, may be about 10nm. Moreover, in the 1st above-mentioned operation form, although In composition ratio of the n type GaInN contact layer 14 is set to 0.13, you may use In composition ratio of a different value from this. In addition, the height of the Schottky barrier between this n type GaInN contact layer 14 and the n type GaN layer 12 becomes low, so that In composition ratio is large

[0057]

[Effect of the Invention] According to the semiconductor device by this invention, as explained above, the semiconductor layer which contains Ga, In, and N at least is prepared between a GaN layer and an electrode, and when the electrode is carrying out ohmic contact at the semiconductor layer, ohmic contact of the electrode can be carried out by low contact resistance to a GaN layer in efficiency.

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DESCRIPTION OF DRAWINGS

### [Brief Description of the Drawings]

[Drawing 1] It is the plan showing the sample used for measurement of the contact resistance of an Ti/aluminum electrode to an n type GaN layer.

[Drawing 2] It is the cross section which meets the II-II line of drawing 1.

[Drawing 3] It is the cross section showing the sample used for measurement of the contact resistance of an Ti/aluminum electrode to an undoping GaInN layer.

[Drawing 4] GaN by the 1st operation gestalt of this invention It is the cross section showing MESFET.

[Drawing 5] GaN by the 1st operation gestalt of this invention It is the energy-band view of MESFET.

[Drawing 6] AlGaIn/GaN by the 2nd operation gestalt of this invention It is the cross section showing HEMT.

[Drawing 7] AlGaIn/GaN by the 2nd operation gestalt of this invention It is the energy-band view of HEMT.

[Drawing 8] AlGaIn/GaInN by the 3rd operation gestalt of this invention It is the cross section showing HEMT.

[Drawing 9] AlGaIn/GaInN by the 3rd operation gestalt of this invention It is the energy-band view of HEMT.

[Drawing 10] It is the cross section showing the conventional GaN transistor.

[Drawing 11] It is the cross section showing other conventional GaN transistors.

### [Description of Notations]

2 1, the 11...c-th page silicon on sapphire, 13 [ ... An undoping GaN layer, 5 / ... An undoping GaInN layer, 14 / ... An n type GaInN contact layer, 15 / ... SiO<sub>2</sub> / A film, 16 / ... A drain electrode, 19 / ... An n type AlGaIn layer, 20 / ... An undoping AlGaIn layer, 21 / ... Undoping GaInN layer / ... A gate electrode, 17 ... A source electrode, 18 ] ... An n type GaN layer, 3 ... 4 A

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-307097

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/43

21/28

21/338

29/812

識別記号

3 0 1

庁内整理番号

9447-4M

F I

H 0 1 L 29/46

21/28

29/80

技術表示箇所

H

3 0 1 H

F

審査請求 未請求 請求項の数 7 F D (全 7 頁)

(21) 出願番号

特願平8-146563

(22) 出願日

平成8年(1996)5月16日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 河合 弘治

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

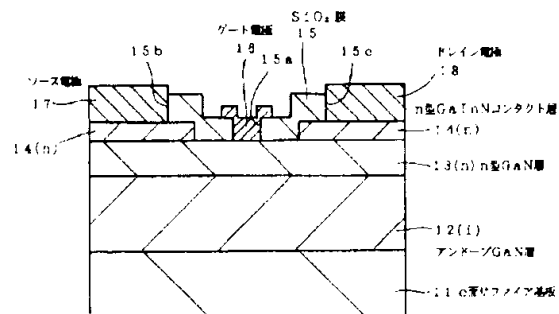
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 実効的にGa<sub>0.5</sub>N層に対して電極を低接触抵抗でオーミック接触させる

【解決手段】 Ga<sub>0.5</sub>N-ME<sub>2</sub>SE<sub>2</sub>ETにおいて、チャネル層としてのn型Ga<sub>0.5</sub>N層13上にn型Ga<sub>0.5</sub>InNコンタクト層14を介してソース電極17およびドレイン電極18を設け、n型Ga<sub>0.5</sub>InNコンタクト層14にオーミック接触させる。n型Ga<sub>0.5</sub>InNコンタクト層14は、MOCVD法によりn型Ga<sub>0.5</sub>N層13上に選択成長させる。



1

## 【特許請求の範囲】

【請求項1】 GaN層と、

上記GaN層上の、上記GaN層と電氣的に接続された電極とを有する半導体装置において、  
上記GaN層と上記電極との間に、少なくともGa、InおよびNを含む半導体層が設けられ、  
上記半導体層に上記電極がオーミック接触していることを特徴とする半導体装置

【請求項2】 上記GaN層はn型であることを特徴とする請求項1記載の半導体装置

【請求項3】 上記半導体層は上記GaN層上に選択的に成長されたものであることを特徴とする請求項1記載の半導体装置

【請求項4】 上記半導体層はn型であることを特徴とする請求項1記載の半導体装置

【請求項5】 上記半導体層はGaInN層であることを特徴とする請求項1記載の半導体装置

【請求項6】 上記GaN層のキャリア濃度は $(1 \sim 5) \times 10^{17} \text{ cm}^{-3}$ であることを特徴とする請求項2記載の半導体装置

【請求項7】 上記電極は電界効果トランジスタのソース電極またはドレイン電極であることを特徴とする請求項1記載の半導体装置

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関し、特に、GaNを用いた半導体装置に適用して好適なものである

【0002】

【従来の技術】GaNはその禁制帯幅が3.4eVと大きく、間接遷移伝導帯はさらにその上1.5eV以上のところにあると考えられている。また、GaNの飽和速度は約 $2.5 \times 10^7 \text{ cm}^2/\text{s}$ でSi、GaAsおよびSiCより大きく、破壊電場は約 $5 \times 10^6 \text{ V/cm}$ で、SiやGaAsより一桁以上大きく、SiCより大きい。このような理由により、GaNは、高周波、高温、大電力用半導体素子の材料として大きな可能性を有することが予想されてきた。そして、近年、試作例も見られるようになってきた（例えば、Appl. Phys. Lett., 62(15), 1786(1993) およびAppl. Phys. Lett., 65(9), 1121(1994)）

【0003】図10および図11は従来のGaNトランジスタを示す。これらのGaNトランジスタは、GaAsトランジスタにおいて用いられているMES(Metal-Semiconductor)構造をそのまま適用した電界効果トランジスタ(FET)である

【0004】図10に示す従来のGaNトランジスタにおいては、c面サファイア基板101上にアンドーフGaN層102およびチャネル層としてのn型GaN層103が順次積層され、n型GaN層103上にゲート電

2

極104、ソース電極105およびドレイン電極106が設けられている。ここで、ゲート電極104はn型GaN層103とショットキ接触し、ソース電極105およびドレイン電極106はn型GaN層103とオーミック接触している

【0005】図11に示す従来のGaNトランジスタにおいては、c面サファイア基板201上にチャネル層としてのn型GaN層202および電子供給層としてのn型AlGaN層203が順次積層されている。n型AlGaN層203は所定形状にパターンニングされている

そして、このn型AlGaN層203上にゲート電極204が設けられているとともに、このn型AlGaN層203の両側壁にそれぞれ接触するようにソース電極205およびドレイン電極206がn型GaN層202上に設けられている。ここで、ゲート電極204はn型AlGaN層203とショットキ接触し、ソース電極205およびドレイン電極206はn型GaN層202およびn型AlGaN層203とオーミック接触している

このGaNトランジスタは、いわゆる高電子移動度トランジスタ(High Electron Mobility Transistor, HEMT)と類似の構造を有するが、ドーピングされた層であるn型AlGaN層202をチャネル層に用いていることが通常のHEMTと異なる

【0006】ところで、通常のGaAsトランジスタにおいては、ソース電極およびドレイン電極のオーミック接触性を高めるために、Siのイオン注入法および活性化アニール法を用いてソース領域およびドレイン領域のキャリア濃度を $2 \times 10^{17} \text{ cm}^{-3}$ 以上に高めている。これにより、ソース電極およびドレイン電極の接触抵抗は $10^{-5} \sim 10^{-4} \Omega \text{ cm}^{-1}$ 台と低くなり、実用的な高周波トランジスタを得ることができる

【0007】

【発明が解決しようとする課題】GaNトランジスタにおいても、GaAsトランジスタと同様にイオン注入法による高濃度不純物ドーピングがなされれば、上述したGaNの特徴が発揮され、高性能、高速、大電力素子が実現されるものと考えられる。しかしながら、イオン注入法によりGaNに不純物をドーピングした場合には高濃度のキャリアが生成されにくいことが報告されている（例えば、Appl. Phys. Lett., 67(10), 1435(1995)）。また、もしGaNにおいても、GaAs系材料のように金属との間で合金反応が容易に生じるならば、不純物ドーピングされた金属との熱的合金化により低抵抗なオーミック接触が得られるはずであるが、GaNとの熱的合金化は未だ実現されていないのが現状である

【0008】以上のことにより、ソース電極およびドレイン電極の比較的大きな接触抵抗により、GaNを用いた素子本来の性能を発揮することができなかった

【0009】したがって、この発明の目的は、GaN層上に電極をオーミック接触させる場合に、その電極の接

3

触抵抗を十分に低くすることができる半導体装置を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、この発明は、Ga<sub>0.5</sub>N層と、Ga<sub>0.5</sub>N層上の、Ga<sub>0.5</sub>N層と電気的に接続された電極とを有する半導体装置において、Ga<sub>0.5</sub>N層と電極との間に、少なくともGa、InおよびNを含む半導体層が設けられ、半導体層に電極がオーミック接触していることを特徴とするものである。

【0011】この発明において、Ga<sub>0.5</sub>N層および半導体層は、典型的にはいずれもn型である。ここで、n型Ga<sub>0.5</sub>N層のキャリア濃度は、例えば $(1 \sim 5) \times 10^{17} \text{ cm}^{-3}$ である。また、半導体層の具体例をいくつか挙げると、Ga<sub>0.5</sub>In<sub>0.5</sub>N層、Al<sub>0.5</sub>Ga<sub>0.5</sub>In<sub>0.5</sub>N層、BGa<sub>0.5</sub>In<sub>0.5</sub>N層などである。この半導体層は、典型的にはGa<sub>0.5</sub>N層上に選択的に成長されたものである。

【0012】この発明において、電極は、典型的には、電界効果トランジスタのソース電極またはドレイン電極である。

【0013】上述のように構成されたこの発明による半導体装置においては、Ga<sub>0.5</sub>N層と電極との間に設けられている、少なくともGa、InおよびNを含む半導体層の禁制帯幅はGa<sub>0.5</sub>Nの禁制帯幅に比べて十分に小さい（例えば、In<sub>0.5</sub>Nの禁制帯幅は最低で1.9 eVである）ことなどにより、この半導体層は、キャリア濃度を十分に高くすることができるとともに、表面準位はGa<sub>0.5</sub>Nより伝導帯に近いところにある。事実、Ga<sub>0.5</sub>In<sub>0.5</sub>Nは、アンドーフでも $2 \times 10^{17} \text{ cm}^{-3}$ 以上の高いキャリア濃度が得られることもあることが報告されている（Appl. Phys. Lett., 59(18), 2251(1991)）。

【0014】以上のことより、少なくともGa、InおよびNを含む半導体層を介した低ショットキ障壁を通じたトンネル電流により、実効的にGa<sub>0.5</sub>N層に対する電極の低接触抵抗のオーミック接触を実現することができる。

【0015】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。

【0016】以下の実施形態においては、c面サファイア基板上にGa<sub>0.5</sub>N、Al<sub>0.5</sub>Ga<sub>0.5</sub>N、Ga<sub>0.5</sub>In<sub>0.5</sub>Nなどの窒化物系III-V族化合物半導体からなる層を積層した構造を用いるが、まず、これらの窒化物系III-V族化合物半導体を有機金属化学気相成長（MOCVD）法により成長させる一般的な方法について説明する。

【0017】この窒化物系III-V族化合物半導体の成長の際の原料ガスとしては、Ga原料としてトリメチルガリウム（TMG）、Al原料としてトリメチルアルミニウム（TMA）、In原料としてトリメチルインジウム（TMI）、N原料としてアンモニア（NH<sub>3</sub>）、n型不純物のドーハントガスとしてシラン（SiH<sub>4</sub>）を用いる。そして、よく知られているように、まず、c面サファイア基板上に低温でAl<sub>0.5</sub>NまたはGa<sub>0.5</sub>Nからなるバッファ層を成長させた後、NH<sub>3</sub>ガスを流しながら成長温度を1000℃前後に上昇させ、バッファ層上にGa<sub>0.5</sub>N、Al<sub>0.5</sub>Ga<sub>0.5</sub>Nなどを成長させる。ここで、Ga<sub>0.5</sub>In<sub>0.5</sub>NなどのInを含む窒化物系III-V族化合物半導体を成長させる場合には、成長温度を700～800℃に下げ、雰囲気ガスは窒素（N<sub>2</sub>）とする。ことも、よく知られている。

【0018】次に、n型Ga<sub>0.5</sub>N層に対するTi—Al電極の接触抵抗の測定結果について説明する。

【0019】図1はこの接触抵抗測定用試料の平面図、図2は図1の1—1線に沿っての断面図である。

【0020】図1および図2に示すように、この接触抵抗測定用試料においては、c面サファイア基板1上にAl<sub>0.5</sub>NまたはGa<sub>0.5</sub>Nからなる低温成長によるバッファ層（図示せず）を介してn型Ga<sub>0.5</sub>N層2が積層され、このn型Ga<sub>0.5</sub>N層2上にTi—Al電極3が設けられている。ここで、n型Ga<sub>0.5</sub>N層2の厚さは0.5 μm、キャリア濃度（電子濃度）は $1.0 \times 10^{17} \text{ cm}^{-3}$ である。また、Ti—Al電極3は、円形の第1の電極部3aが第2の電極部3bにより所定の間隔をもって取り囲まれている構造を有する。ここで、第1の電極部3aの直径は200 μmとし、第1の電極部3aと第2の電極部3bとの間隔は1 μmから10 μmの範囲内で4水準に変化させた。

【0021】なお、このような構造の接触抵抗測定用試料を用いたのは、Ga<sub>0.5</sub>Nはウェットエッチングが利便性であるので、被測定部以外の部分を除去する必要がない構造を用いるのが好ましいからである。

【0022】この接触抵抗測定用試料は次のようにして作製した。すなわち、c面サファイア基板1上にAl<sub>0.5</sub>NまたはGa<sub>0.5</sub>Nからなるバッファ層（図示せず）を介してn型Ga<sub>0.5</sub>N層2を成長させた後、n型Ga<sub>0.5</sub>N層2上に通常のリフトオフ法によりTi—Al電極3を形成する。

【0023】この接触抵抗測定用試料の作製直後（as-depo.状態）のTi—Al電極3の接触抵抗を測定したところ、 $0.5 \Omega \text{ cm}^2$ であった。また、この接触抵抗測定用試料をN<sub>2</sub>ガス雰囲気中において800℃、10秒の条件で熱処理した後に接触抵抗を測定したところ、

$1.5 \times 10^{-3} \Omega \text{ cm}^2$ まで低下した。

【0024】次に、n型Ga<sub>0.5</sub>N層2のキャリア濃度が $1.0 \times 10^{17} \text{ cm}^{-3}$ であることを除いて上述と同様な構造を有する接触抵抗測定用試料を作製し、上述と同様な熱処理を行った後にTi—Al電極3の接触抵抗を測定したところ、 $1.5 \times 10^{-3} \Omega \text{ cm}^2$ であった。一般に、DFTのチャネル層のキャリア濃度は $(1 \sim 5) \times 10^{17} \text{ cm}^{-3}$ であるが、この程度のキャリア濃度のときには上述のようにTi—Al電極3の接触抵抗は $1.0 \times 10^{-3} \Omega \text{ cm}^2$ 台と大きいので、このTi—Al電極3をソース電極およびドレイン電極として用いたDFTの性能は低下する。

5

【0025】なお、上述のように熱処理によりTi—Al電極3の接触抵抗が小さくなるのは、Ti—Al電極3とn型Ga<sub>0.5</sub>N層2との合金化が進んでいるためではなく、熱処理によりTi—Al電極3とn型Ga<sub>0.5</sub>N層2との間の絶縁層または空間層がなくなり、本来のショットキ障壁が生じたためである。

【0026】次に、アンドーフGa<sub>0.5</sub>InN層に対するTi—Al電極の接触抵抗の測定結果について説明する。

【0027】この接触抵抗測定用試料の平面図(図1)に示すと同様であるが、図1の1-1線に沿っての断面図は図3に示すようになっている。

【0028】図1および図3に示すように、この接触抵抗測定用試料においては、c面サファイア基板1上にAlNまたはGa<sub>0.5</sub>Nからなる低温成長によるバッファ層(図示せず)を介してアンドーフGa<sub>0.5</sub>N層4およびアンドーフGa<sub>0.5</sub>InN層5が順次積層され、アンドーフGa<sub>0.5</sub>InN層5上にTi—Al電極3が設けられている。ここで、アンドーフGa<sub>0.5</sub>N層4の厚さは2μmである。また、アンドーフGa<sub>0.5</sub>InN層5の厚さは0.3μmである。このアンドーフGa<sub>0.5</sub>InN層5は、アンドーフであるが、キャリア濃度は約 $2 \times 10^{17} \text{ cm}^{-3}$ であった。また、X線回折による測定の結果、このアンドーフGa<sub>0.5</sub>InN層5のIn組成比は0.13であった。Ti—Al電極3の構造は上述の接触抵抗測定用試料と同様である。

【0029】この接触抵抗測定用試料は次のようにして作製した。すなわち、c面サファイア基板1上にAlNまたはGa<sub>0.5</sub>Nからなるバッファ層(図示せず)を介してアンドーフGa<sub>0.5</sub>N層4およびアンドーフGa<sub>0.5</sub>InN層5を順次成長させた後、アンドーフGa<sub>0.5</sub>InN層5上に通常のリフトオフ法によりTi—Al電極3を形成する。

【0030】この接触抵抗測定用試料の作製直後のTi—Al電極3の接触抵抗を測定したところ、 $0.2 \Omega \text{ cm}^{-2}$ と高かったが、この接触抵抗測定用試料をN<sub>2</sub>ガス雰囲気中において800℃、10秒の条件で熱処理した後に接触抵抗を測定したところ、 $2 \times 10^{-4} \Omega \text{ cm}^{-2}$ まで低下した。これより、アンドーフGa<sub>0.5</sub>InN層5のキャリア濃度が上述のように約 $2 \times 10^{17} \text{ cm}^{-3}$ と低いにもかかわらず、小さな接触抵抗が得られることがわかる。これは、Ga<sub>0.5</sub>NのGaをInにより一部置換したアンドーフGa<sub>0.5</sub>InN層5はGa<sub>0.5</sub>Nに比べてショットキ障壁が低くなり、電流が流れやすくなったためと考えられる。この接触抵抗の低下がショットキ障壁の低下によるものとすると、In組成比の増加によりさらなる接触抵抗の低下が期待される。

【0031】次に、この発明の第1の実施形態によるGa<sub>0.5</sub>N—MESFETについて説明する。図4はこの第1の実施形態によるGa<sub>0.5</sub>N—MESFETを示し、図5はこのGa<sub>0.5</sub>N—MESFETのエネルギーバンド図を示す。なお、図5において、E<sub>F</sub>はフェルミ準位、E<sub>C</sub>は伝導帯の下端のエネルギー、E<sub>V</sub>は価電子帯の頂上のエネルギーを示す(以下同様)。

6

伝導帯の下端のエネルギー、E<sub>V</sub>は価電子帯の頂上のエネルギーを示す(以下同様)。

【0032】図4に示すように、この第1の実施形態によるGa<sub>0.5</sub>N—MESFETにおいては、c面サファイア基板11上に、AlNまたはGa<sub>0.5</sub>Nからなる低温成長によるバッファ層(図示せず)を介して、アンドーフGa<sub>0.5</sub>N層12およびチャネル層としてのn型Ga<sub>0.5</sub>N層13が順次積層されている。アンドーフGa<sub>0.5</sub>N層12の厚さは例えば2μmである。また、n型Ga<sub>0.5</sub>N層13の厚さは例えば160nm、キャリア濃度は例えば $4 \times 10^{17} \text{ cm}^{-3}$ である。ソース電極およびドレイン電極形成部におけるn型Ga<sub>0.5</sub>N層13上には、所定形状のSiドープn型Ga<sub>0.5</sub>InNコンタクト層14が、n型Ga<sub>0.5</sub>N層13に接触してそれぞれ設けられている。このn型Ga<sub>0.5</sub>InNコンタクト層14の厚さは例えば200nm、In組成比は例えば0.13、キャリア濃度は例えば $3 \times 10^{17} \text{ cm}^{-3}$ である。これらのn型Ga<sub>0.5</sub>InNコンタクト層14の間のチャネル部におけるn型Ga<sub>0.5</sub>N層13およびこれらのn型Ga<sub>0.5</sub>InNコンタクト層14を覆うようにSiO<sub>2</sub>膜15が設けられている。このSiO<sub>2</sub>膜15の厚さは例えば200nmである。これらのn型Ga<sub>0.5</sub>InNコンタクト層14の間の部分におけるSiO<sub>2</sub>膜15には開口15aが設けられ、この開口15aを通じてn型Ga<sub>0.5</sub>N層13上に例えばTi—W構造のゲート電極16が、このn型Ga<sub>0.5</sub>N層13とショットキ接触して設けられている。また、n型Ga<sub>0.5</sub>InNコンタクト層14の上側の部分におけるSiO<sub>2</sub>膜15には開口15b、15cがそれぞれ設けられ、これらの開口15b、15cを通じてn型Ga<sub>0.5</sub>InNコンタクト層14上に例えばTi—Al構造のソース電極17およびドレイン電極18がn型Ga<sub>0.5</sub>InNコンタクト層14とオーミック接触してそれぞれ設けられている。

【0033】次に、上述のように構成されたこの第1の実施形態によるGa<sub>0.5</sub>N—MESFETの製造方法について説明する。

【0034】図4に示すように、まず、c面サファイア基板11上にAlNまたはGa<sub>0.5</sub>Nからなるバッファ層を介してアンドーフGa<sub>0.5</sub>N層12およびn型Ga<sub>0.5</sub>N層13を順次成長させる。

【0035】次に、CVD法によりn型Ga<sub>0.5</sub>N層13の全面にSiO<sub>2</sub>膜(図示せず)を形成した後、リソグラフィおよびエッチングによりこのSiO<sub>2</sub>膜をハターニングしてチャネル部上のみこのSiO<sub>2</sub>膜を残す。

【0036】次に、このようにしてハターニングされたSiO<sub>2</sub>膜を成長マスクとして用いて、このSiO<sub>2</sub>膜により覆われていない部分のn型Ga<sub>0.5</sub>N層13上にn型Ga<sub>0.5</sub>InNコンタクト層14を選択的に成長させる。

【0037】次に、このSiO<sub>2</sub>膜をエッチング除去した後、CVD法により再度全面にSiO<sub>2</sub>膜15を形成した後、リソグラフィおよびエッチングによりこのS

7

i) 膜15をハターニングして開口15a、15cを形成する。次に、このハターニングに用いられたいレジストパターンをそのまま残した状態で例えば真空蒸着法により全面に例えばTi—Al膜を形成した後、レジストパターンをその上に形成されたTi—Al膜とともに除去する(リフトオフ)。これによって、n型GaInNコンタクト層14上にソース電極17およびドレイン電極18が形成される。この後、ソース電極17およびドレイン電極18の接触抵抗を低くするために、例えば800℃、10秒の条件で熱処理を行う。

【0038】次に、図示は省略するが、必要に応じて、このFET部以外の部分にHeのイオン注入を行うことにより素子分離を行う。

【0039】次に、リソグラフィーおよびエッチングによりチャネル部上のSiO<sub>2</sub>膜15に開口15aを形成する。次に、全面にTi—W膜を形成した後、このTi—W膜をリソグラフィーおよびエッチングによりハターニングして、開口15aを通じてn型GaInN層13にショットキ接触したゲート電極16を形成する。

【0040】以上により、目的とするGaIn—MESFETが製造される。

【0041】以上のように、この第1の実施形態によれば、n型GaInNコンタクト層14を介してn型GaInN層13上にソース電極17およびドレイン電極18が設けられていることにより、ソース電極17およびドレイン電極18の接触抵抗を十分に低くすることができ、これによって、チャネル層として用いられているn型GaInN層13の特徴を十分に発揮させることができ、高性能、高速、大電力のGaIn—MESFETを実現することができる。

【0042】次に、この発明の第2の実施形態によるAlGaIn—GaIn—HEMTについて説明する。図6はこの第2の実施形態によるAlGaIn—GaIn—HEMTを示し、図7はこのAlGaIn—GaIn—HEMTのエネルギーバンド図である。なお、図6においては、図4に示す第1の実施形態によるGaIn—MESFETと同じまたは対応する部分には同一の符号を付す。

【0043】図6に示すように、この第2の実施形態によるAlGaIn—GaIn—HEMTにおいては、c面サファイア基板11上に、AlNまたはGaInからなる低品成長によるバッファ層(図示せず)を介して、チャネル層としてのアンドーフGaIn層12が積層されている。チャネル部におけるこのアンドーフGaIn層12上には、電子供給層としてのn型AlGaIn層19およびアンドーフAlGaIn層20が順次積層されている。アンドーフGaIn層12の厚さは例えば3μmである。n型AlGaIn層19の厚さは例えば10nm、Al組成比は例えば0.2、キャリア濃度は例えば10<sup>19</sup>cm<sup>-3</sup>である。また、アンドーフAlGaIn層20の厚さは例えば10nm、Al組成比は例えば0.2である。ソー

8

ス電極およびドレイン電極形成部におけるアンドーフGaIn層12上には、所定形状のn型GaInNコンタクト層14がn型AlGaIn層19およびアンドーフAlGaIn層20の両側壁にそれぞれ接触して設けられている。第1の実施形態におけると同様に、このn型GaInNコンタクト層14の厚さは例えば200nm、In組成比は例えば0.13、キャリア濃度は例えば3×10<sup>19</sup>cm<sup>-3</sup>である。その他のことは、第1の実施形態によるGaIn—MESFETと同様であるので、説明を省略する。

【0044】次に、上述のように構成されたこの第2の実施形態によるAlGaIn—GaIn—HEMTの製造方法について説明する。

【0045】図6に示すように、まず、c面サファイア基板11上にAlNまたはGaInからなるバッファ層を介してアンドーフGaIn層12、n型AlGaIn層19およびアンドーフAlGaIn層20を順次成長させる。

【0046】次に、CVD法によりアンドーフAlGaIn層20の全面にSiO<sub>2</sub>膜(図示せず)を形成した後、リソグラフィーおよびエッチングによりこのSiO<sub>2</sub>膜をハターニングしてチャネル部上のみこのSiO<sub>2</sub>膜を残す。このSiO<sub>2</sub>膜の厚さは例えば500nmである。

【0047】次に、このようにしてハターニングされたSiO<sub>2</sub>膜をエッチングマスクとして用いて、気相エッチング法により、アンドーフAlGaIn層20およびn型AlGaIn層19をエッチングする。このエッチングは、少なくともアンドーフGaIn層12が露出するまで行う。

【0048】次に、このSiO<sub>2</sub>膜を成長マスクとして用いて、このSiO<sub>2</sub>膜により覆われていない部分のn型GaIn層12上にn型GaInNコンタクト層14を選択的に成長させる。

【0049】この後の工程は、第1の実施形態によるGaIn—MESFETと同様であるので、説明を省略する。以上により、目的とするAlGaIn—GaIn—HEMTが製造される。

【0050】この第2の実施形態によれば、ソース電極17およびドレイン電極18の接触抵抗が十分に低い、高性能、高速、大電力のAlGaIn—GaIn—HEMTを実現することができる。

【0051】次に、この発明の第3の実施形態によるAlGaIn—GaInN—HEMTについて説明する。図8はこの発明の第3の実施形態によるAlGaIn—GaInN—HEMTを示す断面図、図9はこの第3の実施形態によるAlGaIn—GaInN—HEMTのエネルギーバンド図である。

【0052】図8に示すように、この第3の実施形態によるAlGaIn—GaInN—HEMTにおいては、アンドーフGaIn層12とn型AlGaIn層19との間に

アンドーフGaInN層21が設けられている。この場合、このアンドーフGaInN層21がチャネル層として用いられる。このアンドーフGaInN層21の厚さは例えば15nmである。その他のことは、第2の実施形態によるAlGaIn-GaN-HEMTと同様であるので、説明を省略する。

【0053】この第3の実施形態によるAlGaIn-GaInN-HEMTの製造方法は、第2の実施形態によるAlGaIn-GaN-HEMTの製造方法と同様であるので、説明を省略する。

【0054】この第3の実施形態によれば、GaInNの移動度はGaNの移動度よりも大きいので、第2の実施形態によるAlGaIn-GaN-HEMTと比べてさらに高速の高性能のAlGaIn-GaInN-HEMTを実現することができる。

【0055】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0056】例えば、上述の実施形態において挙げた数値はあくまでも例に過ぎず、必要に応じてこれと異なる数値を用いてもよい。具体的には、上述の第1の実施形態においては、n型GaInNコンタクト層14の厚さを200nmとしているが、このn型GaInNコンタクト層14の厚さはこれより小さくてもよく、例えば10nm程度であってもよい。また、上述の第1の実施形態においては、n型GaInNコンタクト層14のIn組成比を0.13としているが、これと異なる値のIn組成比を用いてもよい。なお、In組成比が大きいほど、このn型GaInNコンタクト層14とn型GaN層12との間のショットキ障壁の高さは低くなる。

【0057】

【発明の効果】以上説明したように、この発明による半導体装置によれば、GaN層と電極との間に、少なくともGa、InおよびNを含む半導体層が設けられ、半導

体層に電極がオーミック接触していることにより、実効的にGaN層に対して電極を低接触抵抗でオーミック接触させることができる。

【図面の簡単な説明】

【図1】n型GaN層に対するTi-Al電極の接触抵抗の測定に用いた試料を示す平面図である。

【図2】図1の11-11線に沿っての断面図である。

【図3】アンドーフGaInN層に対するTi-Al電極の接触抵抗の測定に用いた試料を示す断面図である。

10 【図4】この発明の第1の実施形態によるGaN-MESFETを示す断面図である。

【図5】この発明の第1の実施形態によるGaN-MESFETのエネルギーバンド図である。

【図6】この発明の第2の実施形態によるAlGaIn-GaN-HEMTを示す断面図である。

【図7】この発明の第2の実施形態によるAlGaIn-GaN-HEMTのエネルギーバンド図である。

【図8】この発明の第3の実施形態によるAlGaIn-GaInN-HEMTを示す断面図である。

20 【図9】この発明の第3の実施形態によるAlGaIn-GaInN-HEMTのエネルギーバンド図である。

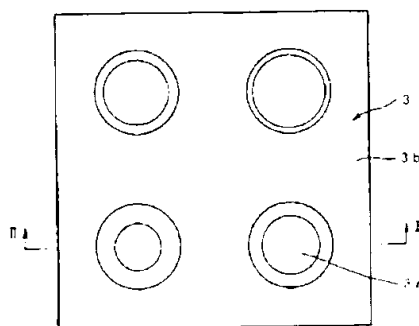
【図10】従来のGaNトランジスタを示す断面図である。

【図11】他の従来のGaNトランジスタを示す断面図である。

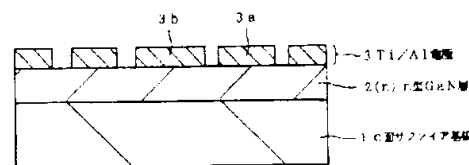
【符号の説明】

1、11・・・c面サファイア基板、2、13・・・n型GaN層、3・・・Ti-Al電極、4、12・・・アンドーフGaN層、5・・・アンドーフGaInN層、14・・・n型GaInNコンタクト層、15・・・SiO<sub>2</sub>膜、16・・・ゲート電極、17・・・ソース電極、18・・・ドレイン電極、19・・・n型AlGaIn層、20・・・アンドーフAlGaIn層、21・・・アンドーフGaInN層

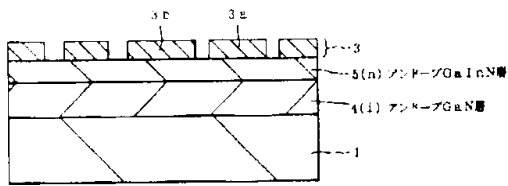
【図1】



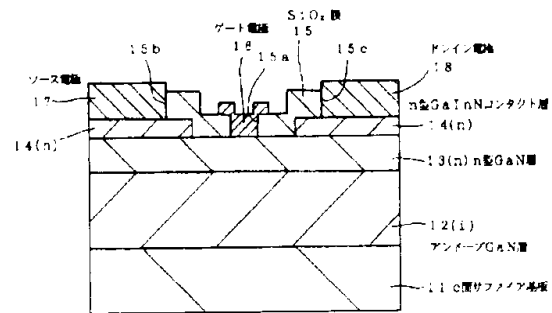
【図2】



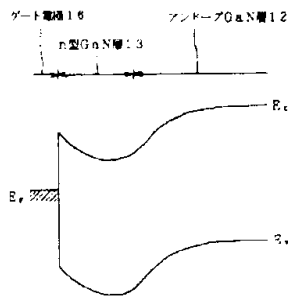
【図3】



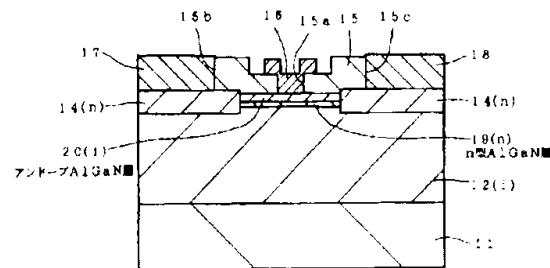
【図1】



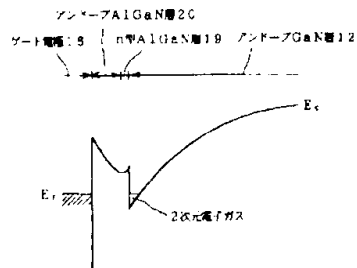
【図5】



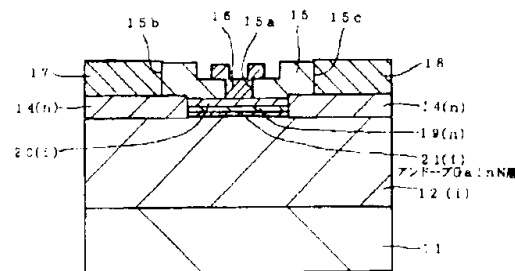
【図6】



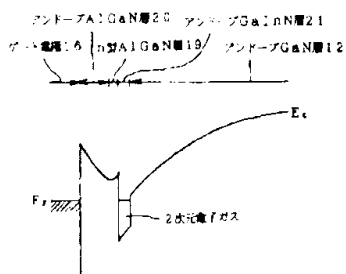
【図7】



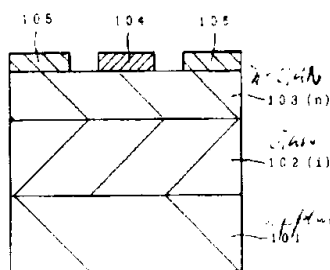
【図8】



【図9】



【図10】



【図11】

